

DESTINATARIOS

El curso en general está dirigido a profesionales y graduados universitarios en Ingeniería en Electrónica, Informática, Computación, Lic. en Sistemas de la Información o carreras afines, docentes e investigadores interesados en adquirir conceptos básicos sobre la manera de programación de la EDU-CIAA sin emplear un sistema operativo de tiempo real.

OBJETIVOS:

- Analizar las principales características de la arquitectura de los microcontroladores ARM Cortex-M4 en general y del LPC4337 en particular.
- Estudiar el hardware de la EDU-CIAA-NXP y de la CIAA-NXP.
- Comprender los pasos de instalación del IDE de la CIAA.
- Presentar el concepto de capa de abstracción de hardware (HAL)
- Ejercitar mediante ejercicios la utilización de la biblioteca LPCOpen.

LUGAR DE REALIZACIÓN:

Laboratorio de Física los días viernes y en el Instituto de Informática (IDI) los sábados.

CUPO MINIMO: 15 Participantes

CERTIFICADOS DE ASISTENCIA:

Se requiere 80% de asistencia

HORARIOS DEL CURSO:

Viernes de 18hs a 21hs
Sábado de 09 a 12.00hs

FECHAS: 12,19, 20 y de Mayo y 02, 03, de Junio de 2017

ARANCELES:

Docentes FTyCA: \$ 1.000
Profesionales externos: \$ 1.500

El pago de inscripción se debe realizar antes del inicio del curso en la cuenta:

- Titular: Facultad de Tecnología
- Sucursal: San Fernando del Valle de Catamarca
- CTA. CTE. N° 46600805/71
- CBU N° 0110466420046600805719
- CUIT N° 30-64187093-1

Personalmente: en la Secretaría Económica Financiera de la Facultad de Tecnología y Ciencias Aplicadas. Maximio Victoria N° 55. CP 4700 Catamarca

INFORMES E INSCRIPCIONES

Universidad Nacional de Catamarca
Facultad de Tecnología
y Ciencias Aplicadas
Secretaría de Posgrado
Tel/Fax: 3834-435112-

E-mail:

secretariadeposgrado@tecno.unca.edu.ar
<http://www.tecno.unca.edu.ar>



FACULTAD DE TECNOLOGÍA Y CIENCIAS APLICADAS

SECRETARIA DE POSGRADO
PROYECTO PROMINF

CURSO DE POSGRADO

**“PROGRAMACIÓN DE LA
COMPUTADORA INDUSTRIAL
ABIERTA ARGENTINA EN SU
VERSIÓN EDUCATIVA SIN/RTOS
(EDU-CIAA - NXP)”**

12 de Mayo al 03 de Junio de 2017

Docente Responsable:
Mgter. Ing. Marcos Aranda

CONTENIDOS

Unidad 1: Arquitectura de la CIAA y EDU-CIAA: Modelo de ARM. Evolución de la Arquitectura ARM. Cortex. Modelo de programación de Cortex-M. Arquitectura de la CIAA y EDU-CIAA en sus versiones NXP. CIAA Firmware. Estructura del Firmware.

Unidad 2: Introducción al entorno de desarrollo CIAA-IDE: Plataforma de trabajo. Entorno de desarrollo (IDEs). CIAA Eclipse: Instalación. Importación del Firmware. Ejecución. Tratamiento del proyecto. Clean/ Build/ Debug. Tool bar/ Debug & Console Cygwin. Makefile.

Unidad 3: Salidas y entradas digitales: Configuración de los GPIOs (Pines de Propósito General) de la EDU-CIAA. Utilización de los Leds de la EDU-CIAA como salidas digitales. Utilización de los pulsadores de la EDU-CIAA como entradas digitales.

Unidad 4: Manejo del SysTick: Configuración del SysTick (System Timer Tick) de la EDU-CIAA.

Unidad 5: Timer de Interrupciones Repetitivas: Inicialización y configuración del RIT, utilizando librerías LPCOpen.

Unidad 6: Conversor Digital Analógico: Inicialización y configuración del DAC, utilizando interrupciones.

Unidad 7: Conversor Analógico Digital: Inicialización y configuración de los canales del ADC de la EDU-CIAA, utilizando interrupciones.

Unidad 8: Comunicación por el puerto serie: Inicialización y configuración de la UART.

EVALUACION

Para aprobar el curso el alumno deberá desarrollar y aprobar con un mínimo de siete puntos, un proyecto donde aplique los conocimientos adquiridos a lo largo del curso. Para ello contará con quince (15) días, luego de finalizado el dictado, para la realización y presentación del mismo.

Docente Responsable del curso

Mgter Ing. Marcos Aranda

- Máster en Ingeniería de Computadores y Redes. Universidad de Sevilla (España).
- Jefe de Trabajos Prácticos Interino dedicación Semiexclusiva en la cátedra “Sistemas Microprogramables”, de la carrera “Ingeniería Electrónica”, con colaboración en la cátedra “Sistemas Lógicos II”.
- Jefe de Trabajos Prácticos Interino, dedicación Semiexclusiva en la cátedra “Arquitectura de Computadores”, de la carrera “Ingeniería en Informática”, con colaboración en las cátedras “Seguridad de Redes” y “Administración en Redes”. (Electiva, de la carrera “Ingeniería en Informática”).
- Integrante del Proyecto: **SISTEMA DE CONTROL DE RODEOS CON NODOS INTELIGENTES**. Período 2016. Director: Ing. Sergio Gallina.